**Instituto Politécnico Nacional**

**Escuela Superior de Cómputo**

*Fundamentos de Diseño Digital*

Práctica 9: Decodificador a 7 segmentos con Contador y CLK

Grupo: 2CM6

Miembros:

Alfredo Pérez Quiñonez

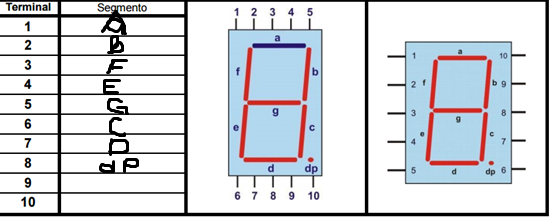
José Emiliano Pérez Garduño

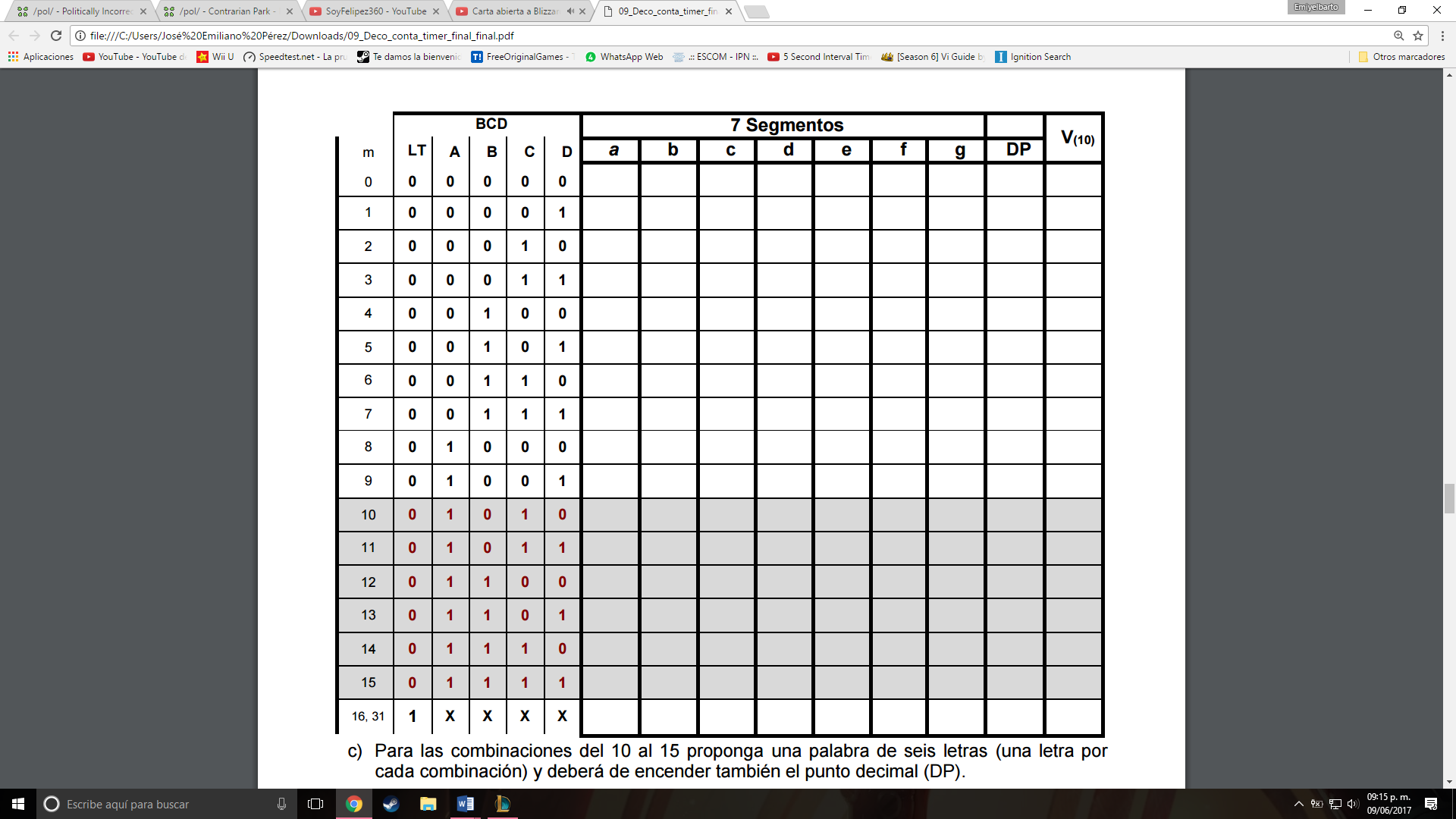
Maestro:

Carlos Jesús Pastrana Fernández

Día de práctica: 31 / Mayo / 2017

Día de entrega: 9 / Junio / 2017

1. **Procedimiento:**
2. Identifique las terminales de su Display.
3. Asigne los valores más convenientes de las combinaciones del 0 al 9 a las salidas (a hasta g) para mostrar en el Display el número correspondiente en BCD, considerando si es ánodo o cátodo común.



1. Para las combinaciones del 10 al 15 proponga una palabra de seis letras (una letra por cada combinación) y deberá de encender también el punto decimal (DP).
2. Elabore el archivo VHDL considerando para su implementación la asignación de las terminales de salida más conveniente de modo que no existan cruces del cableado como se muestra en la figura.
3. Implemente el decodificador usando un DLP como GAL22V12.
4. Elabore el diagrama en Proteus y obtenga su simulación.
5. **Diagrama de Bloques:**
6. **Tabla de Verdad**
7. **Archivo del código en formato VHDL**
8. **Ecuaciones mínimas del archivo reporte**
9. **Distribución de terminales**
10. **Imagen de la simulación**
11. **Simulación en Proteus**
12. **Foto del circuito**
13. **Conclusiones**
14. **Recomendaciones**
15. **Referencias bibliográficas y hojas del fabricante**